

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-025238

(43)Date of publication of application : 26.01.2001

(51)Int.Cl. H02M 3/155

(21)Application number : 11-196258

(71)Applicant : SHARP CORP

(22)Date of filing : 09.07.1999

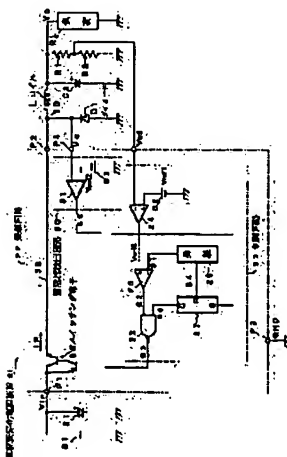
(72)Inventor : SUZUKI TOMOHIRO, YASHIRO YUJI, INABA KATSUMI,
HISAKAWA KOJI, KANAMORI ATSUSHI, SATO TSUTOMU

(54) DIRECT-CURRENT STABILIZED POWER SUPPLY

(57)Abstract:

PROBLEM TO BE SOLVED: To further enhance efficiency by providing an overcurrent detecting means for detecting an overcurrent in the forward direction of a rectifying element.

SOLUTION: An integrated circuit 22 is, for example, a four-terminal regulator IC provided with terminals P1 to P4, and a control circuit 23 in the integrated circuit 22 adjusts the on/off duty ratio of a switching element SW and thereby keeps output voltage V_o at a desired voltage with stability. A catch diode D1 as a rectifying device has the characteristics that its forward voltage is increased as the value of transit current increases. If a potential V_c exceeds a reference voltage V_{ref2} , an overcurrent detection comparator 31 in an overcurrent detection circuit 30 decides that the transit current value of the catch diode D1 has exceeded a passing current threshold. Therefore, a series resistance for overcurrent detection can be removed from an output line, and efficiency can be enhanced further.



BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-25238

(P2001-25238A)

(43) 公開日 平成13年1月26日 (2001.1.26)

(51) Int. Cl.
H 0 2 M 3/155

識別記号

F I
H 0 2 M 3/155

テーマコード (参考)
C 5 H 7 3 0

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21) 出願番号 特願平11-196258

(22) 出願日 平成11年7月9日 (1999.7.9)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 鈴木 友広

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 八代 雄司

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100080034

弁理士 原 謙三

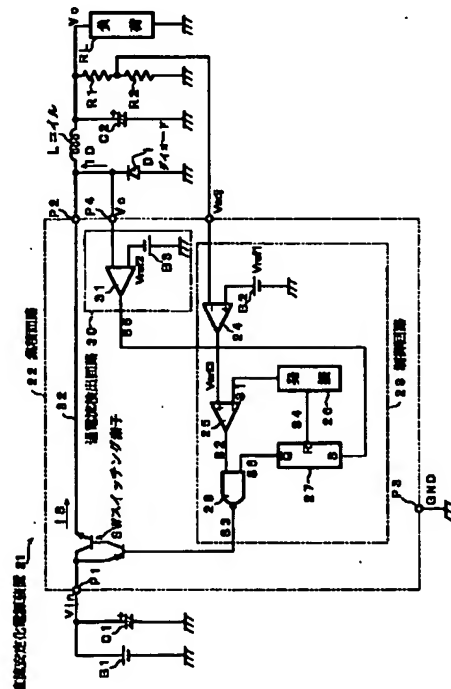
最終頁に続く

(54) 【発明の名称】 直流安定化電源装置

(57) 【要約】

【課題】 スイッチング素子SWおよびコイルLが出力ライン32に直列に設けられ、前記スイッチング素子SWをスイッチングさせることによって、ON時には電源B1からの電流が負荷RLに供給されるとともに前記コイルLにエネルギーが蓄積され、OFF時にはその蓄積されたエネルギーがキャッチダイオードD1によって形成される電流経路で前記負荷RLに供給され、前記スイッチングのデューティを調整することによって、直流入力電圧Vinを所望直流出力電圧Voに変換して出力するようにした直流安定化電源装置21において、前記出力ライン32から過電流検出用の直列抵抗を削除し、低損失化を図る。

【解決手段】 前記キャッチダイオードD1の順方向電圧が過電流に対応して大きくなることを利用して、過電流検出回路30内の過電流検出コンパレータ31は、過電流判定を行う。こうして、前記直列抵抗を削除する。



【特許請求の範囲】

【請求項1】スイッチング素子およびコイルが出力ラインに直列に設けられ、前記スイッチング素子をスイッチングさせることによって、ON時には電源からの電流が負荷に供給されるとともに前記コイルにエネルギーが蓄積され、OFF時にはその蓄積されたエネルギーが整流素子によって形成される電流経路で前記負荷に供給され、前記スイッチングのデューティを調整することによって、直流入力電圧を所望直流出力電圧に変換して出力するようにした直流安定化電源装置において、

前記整流素子の順方向電圧から過電流を検出する過電流検出手段を含むことを特徴とする直流安定化電源装置。

【請求項2】前記過電流検出手段は、前記整流素子の端子間電圧が一方の入力に与えられるコンパレータと、前記コンパレータの他方の入力に接続され、負の温度特性を有する基準電圧源とを備えて構成されることを特徴とする請求項1記載の直流安定化電源装置。

【請求項3】前記過電流検出手段は、前記整流素子の端子間電圧が一方の入力に与えられるコンパレータと、基準電圧源と、前記基準電圧源を前記コンパレータの他方の入力に接続する第1の抵抗と、外部端子を介して前記コンパレータの他方の入力に接続される第2の抵抗とをさらに備えることを特徴とする請求項1記載の直流安定化電源装置。

【請求項4】前記過電流検出手段は、前記整流素子の端子間電圧が一方の入力に与えられるコンパレータと、基準電圧源と、前記基準電圧源を前記コンパレータの他方の入力に接続する第1の抵抗と、前記コンパレータの他方の入力に接続される第2の抵抗と、前記第2の抵抗に並列に介在されるコンデンサとをさらに備えることを特徴とする請求項1記載の直流安定化電源装置。

【請求項5】前記整流素子の順方向電圧から素子過熱を検出する過熱検出手段をさらに備えることを特徴とする請求項1～4の何れかに記載の直流安定化電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、降圧型のレギュレータとして好適に実施され、スイッチング素子、コイルおよび平滑コンデンサを備え、スイッチングのデューティを調整することによって、直流入力電圧を所望直流出力電圧に変換して出力するようにした高効率動作が可能な直流安定化電源装置に関する。

【0002】

【従来の技術】従来から、直流安定化電源装置には、電圧を安定化させるべくレギュレータ回路が用いられているが、入力電圧より低い出力電圧を必要とする場合に用いる前記降圧型のレギュレータとして、トランジスタを一種の可変抵抗として用いることにより電圧を降下させるドロップ型レギュレータと、スイッチング素子、コイルおよび平滑コンデンサを備え、スイッチング素子のON/OFFデューティ比を調整することによって、所望出力電圧に安定に保持するスイッチング型レギュレータとが用いられている。

【0003】前記のドロップ型レギュレータは、設計が容易であり、ノイズが小さいので、用途が限定されにくいという利点を有しているものの、電圧をドロップさせて出力電圧を安定化させているので、ドロップ分が熱として放出されてしまい、特に入出力間電圧差が大きいときには効率が悪いという問題がある。一方、後記のスイッチング型レギュレータは、スイッチング素子のON/OFFデューティ比によって出力電圧が決定されるので、入出力間の電圧差が大きい用途で効率が良く、そのような用途で広く用いられている。

【0004】図12は、そのようなスイッチング型レギュレータの典型的な従来例の直流安定化電源装置1の電気的構成を示すブロック図である。この直流安定化電源装置1は、大略的に、平滑コンデンサc1によって平滑化された電源b1からの入力電圧vinを集積回路2内のスイッチング素子swがスイッチングし、その出力を外付けのキャッチダイオードd1、コイルlおよび平滑コンデンサc2で整流・平滑化することで、前記入力電圧vinを降圧した出力電圧voを負荷rlに出力する。

【0005】すなわち、スイッチング素子swのON時には前記電源b1からの電流が負荷rlに供給されるとともに前記コイルlにエネルギーが蓄積され、OFF時にはその蓄積されたエネルギーがキャッチダイオードd1、コイルlおよび負荷rlによって形成される電流経路で該負荷rlに供給される。前記集積回路2内には制御回路3が設けられており、この制御回路3が前記スイッチング素子swのON/OFFデューティ比を調整することによって、前記出力電圧voを所望とする電圧に安定に保持する。

【0006】前記制御回路3は、誤差増幅器4と、基準電圧源b2と、PWMコンパレータ5と、発振器6と、フリップフロップ7と、NAND回路8とを備えて構成されている。前記誤差増幅器4の反転入力端には、前記出力電圧voを分圧抵抗r1、r2によって分圧して得られた調整電圧vadjがフィードバックされ、非反転入力端には、前記基準電圧源b2からの基準電圧vrefが与えられ、該誤差増幅器4からの出力は、PWMコンパレータ5の非反転入力端に与えられる。前記PWMコンパレータ5は、反転入力端に与えられる前記発振器6からの三角波を前記PWMコンパレータ5からの出力電圧でスライスすることによってPWM信号を作成し、該信号をNAND回路8を介してスイッチング素子swに与える。スイッチング素子swは、たとえばPNPトランジスタとNPNトランジスタとがダーリントン接続されて構成されている。

【0007】したがって、前記出力電圧voの低下によ

って、前記調整電圧 v_{adj} が前記基準電圧 v_{ref} よりも低くなる程、誤差増幅器4はローレベルの出力を導出し、これによってPWMコンパレータ5のスライスレベルが低くなって前記PWM信号のパルス幅が広く、すなわち前記デューティが高くなり、スイッチング素子 sw のON期間が長くなって、前記出力電圧 v_o の低下が抑制される。

【0008】また、前記電源 b_1 から負荷 r_l への出力ライン9には、前記スイッチング素子 sw およびコイル l とともに、前記集積回路2内で、過電流検出回路10が介在されている。この過電流検出回路10は、前記出力ライン9に直列に挿入され、負荷電流を電流-電圧変換する電流検出抵抗 r_d と、その端子間電圧に基づいて、過電流状態であるか否かを判定する過電流検出コンパレータ11とを備えて構成されている。この過電流検出コンパレータ11の出力は、過電流を検出していない状態、すなわち電流検出抵抗 r_d の端子間電圧が所定値未満では、ローレベルとなり、前記端子間電圧が所定値以上となって過電流状態となると、ハイレベルとなる。

【0009】過電流検出コンパレータ11の出力は、RSフリップフロップで実現される前記フリップフロップ7のセット端子に入力されており、このフリップフロップ7のリセット端子には、前記発振器6からリセットパルスが与えられる。フリップフロップ7の反転出力は、前記NAND回路8に与えられる。したがって、過電流状態となると、フリップフロップ7はセットされ、反転出力がローレベルとなってNAND回路8の出力、したがって前記スイッチング素子 sw のPNPトランジスタのベースがハイレベルのままとなり、該スイッチング素子 sw はOFF状態に保たれる。過電流でなくなるとフリップフロップ7はリセットされ、その反転出力がハイレベルとなって、NAND回路8を介するPWM信号の通過が可能になり、通常のパルス幅制御に戻る。

【0010】

【発明が解決しようとする課題】上述のように構成される直流安定化電源装置1は、前記のドロップ型レギュレータよりも効率が低いけれども、出力ライン9に直列に電流検出抵抗 r_d を挿入しているので、損失が大きく、近年の低消費電力化の要望には充分とは言えない。

【0011】すなわち、集積回路2内の損失 W としては、スイッチング素子 sw による損失 WS 、制御回路3による損失 WC および電流検出抵抗 r_d による損失 WR の大きく3つに分けられる。たとえば、入力電圧 v_{in} が12V、出力電圧 v_o が5V、出力電流 i_o が3Aの条件で、スイッチング素子 sw の飽和状態でのコレクター-エミッタ間電圧 v_{ceSAT} を1V、キャッチダイオード d_1 の順方向電圧降下 v_f を0.4V、制御回路3の消費電流を10mA、電流検出抵抗 r_d を30m Ω と仮定すると、

$WS \approx D \times v_{ceSAT} \times i_o = 0.45 \times 1 \times 3 = 1.35W$

となる。ここで、デューティ D は、

$$D = v_o \div (v_{in} - v_{ceSAT})$$

で表され、上記のように45%としている。

【0012】次に、

$$WC = v_{in} \times i_o = 12 \times 0.01 = 0.12W$$

となる。最後に、

$$WR = D \times r_d \times i_o \approx 0.45 \times 0.03 \times 3 = 0.04W$$

となる。

【0013】以上より、

$$W \approx 1.35 + 0.12 + 0.04 = 1.51W$$

となるのに対して、電流検出抵抗 r_d がない場合は、

$$W' \approx 1.35 + 0.12 = 1.47W$$

とすることができ、内部損失を約3%削減できる。

【0014】本発明の目的は、過電流検出のための直列抵抗を出力ラインから削除することによって、より一層高効率化を図ることができる直流安定化電源装置を提供することである。

【0015】

【課題を解決するための手段】本発明に係る直流安定化電源装置は、スイッチング素子およびコイルが出力ラインに直列に設けられ、前記スイッチング素子をスイッチングさせることによって、ON時には電源からの電流が負荷に供給されるとともに前記コイルにエネルギーが蓄積され、OFF時にはその蓄積されたエネルギーが整流素子によって形成される電流経路で前記負荷に供給され、前記スイッチングのデューティを調整することによって、直流入力電圧を所望直流出力電圧に変換して出力するようにした直流安定化電源装置において、前記整流素子の順方向電圧から過電流を検出する過電流検出手段を含むことを特徴とする。

【0016】上記の構成によれば、スイッチング素子およびコイルが出力ラインに直列に設けられ、前記スイッチング素子のON/OFFデューティ比を調整することによって、所望出力電圧を得るようにしたスイッチング型レギュレータにおいて、スイッチング素子のOFF時における電流経路を形成するために不可欠であり、キャッチダイオードなどで実現される整流素子が、その通過電流が大きくなる程、順方向電圧が大きくなることを利用して、該順方向電圧から過電流を検出する。

【0017】したがって、過電流検出のための直列抵抗を出力ラインから削除することができ、一層高効率化を図ることができる。

【0018】また、本発明に係る直流安定化電源装置では、前記過電流検出手段は、前記整流素子の端子間電圧が一方の入力に与えられるコンパレータと、前記コンパレータの他方の入力に接続され、負の温度特性を有する基準電圧源とを備えて構成されることを特徴とする。

【0019】上記の構成によれば、前記キャッチダイオ

ードなどの整流素子の順方向電圧には、負の温度特性があるので、一定レベルの過電流閾値では、コンパレータは正確に過電流を判定することができない。そこで、ダイオードの順方向電圧などを用いて、基準電圧にも同様に負の温度特性を持たせる。

【0020】したがって、周囲温度の影響を受けることなく、常に一定の過電流閾値で、正確に過電流検出を行うことができる。

【0021】さらにまた、本発明に係る直流安定化電源装置では、前記過電流検出手段は、前記整流素子の端子間電圧が一方の入力に与えられるコンパレータと、基準電圧源と、前記基準電圧源を前記コンパレータの他方の入力に接続する第1の抵抗と、外部端子を介して前記コンパレータの他方の入力に接続される第2の抵抗とをさらに備えることを特徴とする。

【0022】上記の構成によれば、たとえば基準電圧源の一方の端子を前記第1の抵抗を介して前記コンパレータの他方の入力に接続し、他方の端子を接地し、第2の抵抗一方の端子を前記外部端子を介して前記コンパレータの他方の入力に接続し、他方の端子を接地すると、第1および第2の抵抗の接続点となる前記コンパレータの他方の入力では、過電流閾値となる基準電圧が分圧して入力されることになる。

【0023】したがって、外付けの前記第2の抵抗の抵抗値や、その他方の端子の電位を変化することによって、前記過電流閾値を変化することができ、使用するスイッチング素子の定格値や、整流素子の特性に応じた適切な過電流閾値を設定することができる。

【0024】また、本発明に係る直流安定化電源装置では、前記過電流検出手段は、前記整流素子の端子間電圧が一方の入力に与えられるコンパレータと、基準電圧源と、前記基準電圧源を前記コンパレータの他方の入力に接続する第1の抵抗と、前記コンパレータの他方の入力に接続される第2の抵抗と、前記第2の抵抗に並列に存在されるコンデンサとをさらに備えることを特徴とする。

【0025】上記の構成によれば、基準電圧源の一方の端子を前記第1の抵抗を介して前記コンパレータの他方の入力に接続し、他方の端子を接地し、第2の抵抗一方の端子を前記外部端子を介して前記コンパレータの他方の入力に接続し、他方の端子を接地すると、第2の抵抗に並列のコンデンサによって、電源投入直後は該並列コンデンサの端子間電圧が低く、前記過電流閾値が低くなり、時間経過に伴ってコンデンサの端子間電圧が徐々に上昇し、前記過電流閾値も上昇してゆく。

【0026】したがって、電源投入時には、過電流検出によりパルス幅が制限されながら徐々にパルス幅が拡がり、出力電圧が立ち上がってゆくので、いわゆるソフトスタートを実現することができる。

【0027】さらにまた、本発明に係る直流安定化電源

装置は、前記整流素子の順方向電圧から素子過熱を検出する過熱検出手段をさらに備えることを特徴とする。

【0028】上記の構成によれば、過電流検出と同様に、出力ラインに直列抵抗を介在することなく、素子過熱も検出することができる。

【0029】

【発明の実施の形態】本発明の実施の一形態について、図1～図3に基づいて説明すれば以下のとおりである。

【0030】図1は、本発明の実施の一形態の直流安定化電源装置21の電気的構成を示すブロック図である。この直流安定化電源装置21は、スイッチング型レギュレータであり、大略的に、平滑コンデンサC1によって平滑化された電源B1からの入力電圧 V_{in} を集積回路22内のスイッチング素子SWがスイッチングし、その出力を外付けのキャッチダイオードD1、コイルLおよび平滑コンデンサC2で整流・平滑化することで、前記入力電圧 V_{in} を降圧した出力電圧 V_o を負荷RLに出力する。すなわち、スイッチング素子SWのON時には前記電源B1からの電流が負荷RLに供給されるとともに前記コイルLにエネルギーが蓄積され、OFF時にはその蓄積されたエネルギーがキャッチダイオードD1、コイルLおよび負荷RLによって形成される電流経路で該負荷RLに供給される。前記集積回路22は、端子P1～P4を有する4端子のレギュレータICであり、該集積回路22内に設けられている制御回路23が前記スイッチング素子SWのON/OFFデューティ比を調整することによって、前記出力電圧 V_o を所望とする電圧に安定に保持する。

【0031】前記制御回路23は、誤差増幅器24と、基準電圧源B2と、PWMコンパレータ25と、発振器26と、フリップフロップ27と、NAND回路28とを備えて構成されている。前記誤差増幅器24の反転入力端には、前記出力電圧 V_o を分圧抵抗R1、R2によって分圧して得られた調整電圧 V_{adj} がフィードバックされ、非反転入力端には、前記基準電圧源B2からの基準電圧 V_{ref1} が与えられ、該誤差増幅器24からの出力は、PWMコンパレータ25の非反転入力端に与えられる。前記PWMコンパレータ25は、反転入力端に与えられる前記発振器26からの三角波を前記PWMコンパレータ25からの出力電圧でスライスすることによってPWM信号を作成し、該信号をNAND回路28を介してスイッチング素子SWに与える。スイッチング素子SWは、たとえばPNPトランジスタとNPNトランジスタとがダーリントン接続されて構成されている。

【0032】したがって、前記出力電圧 V_o の低下によって、前記調整電圧 V_{adj} が前記基準電圧 V_{ref1} よりも低くなる程、誤差増幅器24はローレベルの出力を導出し、これによってPWMコンパレータ25のスライスレベルが低くなって、前記PWM信号のパルス幅が広く、すなわち前記デューティが高くなり、スイッチン

グ素子SWのON期間が長くなって、前記出力電圧V_oの低下が抑制される。

【0033】また、整流素子であるキャッチダイオードD1のカソードの電位V_cは、過電流検出回路30内の過電流検出コンパレータ31の一方の入力に与えられており、この前記過電流検出コンパレータ31の他方の入力には、基準電圧源B2からの基準電圧V_{ref2}が与えられている。過電流検出回路30は、前記電位V_cが前記基準電圧V_{ref2}以上となると過電流状態であると判定してハイレベルを出力し、前記電位V_cが前記基準電圧V_{ref2}未満では、ローレベルを出力している。

【0034】すなわち、キャッチダイオードD1は、たとえば図2において参照符α1で示すように、通過電流値が大きくなる程、順方向電圧が大きくなるという特性を有しており、過電流検出コンパレータ31は、前記電位V_cが前記基準電圧V_{ref2}以上となると、キャッチダイオードD1の通過電流値が過電流閾値以上となったものと判断する。

【0035】前記過電流検出コンパレータ31の出力は、RSフリップフロップで実現される前記フリップフロップ27のセット端子に入力されており、このフリップフロップ27のリセット端子には、前記発振器26からリセットパルスが与えられる。フリップフロップ27の反転出力は、前記NAND回路28に与えられる。したがって、過電流状態となると、フリップフロップ27はセットされ、反転出力がローレベルとなってNAND回路28の出力、したがって前記スイッチング素子SWのPNPトランジスタのベースがハイレベルのままとなり、該スイッチング素子SWはOFF状態に保たれる。過電流でなくなるとフリップフロップ27はリセットされ、その反転出力がハイレベルとなって、NAND回路28を介するPWM信号の通過が可能になり、通常のパルス幅制御に戻る。

【0036】図3は、上述のように構成される直流安定化電源装置21の動作を説明するための波形図である。PWMコンパレータ25において、発振器26からの三角波S1を、誤差増幅器24からのスライスレベルV_{ref3}でスライスすることによって得られたPWM信号S2は、NAND回路28を介して、PWM信号S3としてスイッチング素子SWに与えられる。スイッチング素子SWのスイッチングによって、ON期間に該スイッチング素子SWには電流I_Sが流れ、OFF期間にキャッチダイオードD1には電流I_Dが流れる。

【0037】フリップフロップ27は、前記発振器26から、三角波S1の毎周期毎に出力されるリセットパルスS4によって前記毎周期毎にリセットされており、時刻t1で示すように、前記電位V_cが前記基準電圧V_{ref2}以上となって過電流検出コンパレータ31が過電流信号S5を出力すると、フリップフロップ27はセッ

トされ、その反転出力S6をローレベルとする。これによって、時刻t2で前記PWM信号S2がハイレベルとなっても、NAND回路28によって出力が阻止され、時刻t3でフリップフロップ27がリセットされされると、前記PWM信号S3がハイレベルとなってスイッチング素子SWがON駆動される。

【0038】このようにして、スイッチング素子SWのOFF時における電流経路を形成するために不可欠であるキャッチダイオードD1の順方向電圧から過電流検出を行うので、出力ライン32に過電流検出のための直列抵抗を介在する必要がなくなり、一層高効率化を図ることができる。

【0039】本発明の実施の他の形態について、図4に基づいて説明すれば以下のとおりである。

【0040】図4は、本発明の実施の他の形態の直流安定化電源装置41の電氣的構成を示すブロック図である。この直流安定化電源装置41の集積回路42は、前述の集積回路22に類似しており、対応する部分には同一の参照符号を付して、その説明を省略する。注目すべきは、この集積回路42では、リセット端子P5が設けられ、制御回路43内の前記フリップフロップ27のリセット端子には、前記発振器26からのリセットパルスS4に代えて、このリセット端子P5からのリセット入力S7が与えられる。

【0041】したがって、前記集積回路22では、フリップフロップ27は三角波S1の毎周期毎に出力されるリセットパルスS4によって前記毎周期毎にリセットされており、スイッチング素子SWを過電流状態とならない上限値で動作させ続け、過電流状態が解消すると直ちに復帰させることができるパルス・バイ・パルス方式の過電流保護動作を行っているのに対して、この集積回路42では、一旦過電流状態となると、前記リセット入力S7を与えるか、または電源を再投入しないと復帰させることができないラッチ方式の過電流保護動作を行うことができる。

【0042】本発明の実施のさらに他の形態について、図5および図6に基づいて説明すれば以下のとおりである。

【0043】図5は、本発明の実施のさらに他の形態の直流安定化電源装置51の電氣的構成を示すブロック図である。この直流安定化電源装置51の集積回路52は、前述の集積回路22に類似しており、対応する部分には同一の参照符号を付して、その説明を省略する。注目すべきは、この集積回路52では、過電流検出回路50内の過電流検出コンパレータ31の他方の入力には、前記基準電圧源B2からの基準電圧V_{ref2}が直接与えられるのではなく、抵抗R3を介して与えられることである。また、前記過電流検出コンパレータ31の他方の入力には、ダイオードD2を介して接地されている。

【0044】前記キャッチダイオードD1の順方向電圧は、前記図2において、25℃の周囲温度では前記参照符 $\alpha 1$ で示す特性を有し、たとえば前記過電流閾値を4 Aとすると、そのときの順方向電圧、すなわち前記基準電圧Vref2は、0.45 Vとなる。これに対して、参照符 $\alpha 2$ で示す前記周囲温度が125℃の環境では、前記基準電圧Vref2は、0.42 Vとなる。このようにキャッチダイオードD1は負の温度特性を有しているので、これに対応して該集積回路52では、過電流検出コンパレータ31の他方の入力に、ダイオードD2によって図6で示すような負の温度特性を持たせた基準電圧Vref21を与える。

【0045】これによって、周囲温度変化によるキャッチダイオードD1の順方向電圧の変化に連動して基準電圧Vref21を変化させることができ、スイッチング素子SWの過電流閾値を常に一定に保持し、高精度に過電流検出を行うことができる。

【0046】本発明の実施の他の形態について、図7に基づいて説明すれば以下のとおりである。

【0047】図7は、本発明の実施の他の形態の直流安定化電源装置61の電気的構成を示すブロック図である。この直流安定化電源装置61の集積回路62は、前述の集積回路22に類似している。注目すべきは、この集積回路62では、過電流検出回路60内の過電流検出コンパレータ31の他方の入力には、前記基準電圧源B2からの基準電圧Vref2が直接与えられるのではなく、抵抗R3を介して与えられることである。また、前記過電流検出コンパレータ31の他方の入力は、外部端子P6から抵抗R4を介して接地されている。

【0048】したがって、抵抗R3、R4の接続点となる過電流検出コンパレータ31の他方の入力には、前記基準電圧Vref2が抵抗R3、R4によって分圧された基準電圧Vref22が入力されることになる。したがって、使用するスイッチング素子SWの定格値や、前記図2で示すようなキャッチダイオードD1の順方向電圧の特性に応じて外付けの抵抗R4の抵抗値を変化することによって、適切な過電流閾値を設定することができる。

【0049】本発明の実施のさらに他の形態について、図8～図10に基づいて説明すれば以下のとおりである。

【0050】図8は、本発明の実施のさらに他の形態の直流安定化電源装置71の電気的構成を示すブロック図である。この直流安定化電源装置71の集積回路72は、前述の集積回路62に類似している。注目すべきは、この集積回路72では、前記抵抗R4が外部端子P6に外付けされるのではなく、過電流検出回路70内に設けられており、また該抵抗R4と並列にコンデンサC3が設けられている。

【0051】したがって、電源投入直後は並列コンデン

サC3の端子間電圧が低く、時間経過に伴って徐々に上昇してゆく。このため、前記基準電圧源B2の基準電圧Vref2に対して、過電流検出コンパレータ31の他方の入力に実際に与えられる基準電圧Vref23は、図9で示すように、電源投入直後は高く（絶対値が小さく）、時間経過に伴って徐々に低下して（絶対値が大きくなって）ゆく。これによって、図9で示すように、キャッチダイオードD1のカソードの電位Vcの許容値、すなわち前記過電流閾値が徐々に上昇してゆくことになる。

【0052】一方、通常のチョップパルスレギュレータでは、出力電圧Voが最初は0 Vであるので、電源投入時にはデューティは最大となって立ち上がり、極軽負荷などの負荷条件によっては、図10において参照符 $\alpha 1$ で示すように、出力電圧Voがオーバーシュートする場合がある。これに対して、本構成では上述のように過電流閾値が徐々に上昇してゆくので、電源が投入されると、過電流検出によりパルス幅が制限されながら徐々にパルス幅が拡がり、出力電圧Voが緩やかに立ち上がってゆき、前記オーバーシュートすることがなく、いわゆるソフトスタートを実現することができる。

【0053】本発明の実施の他の形態について、図11に基づいて説明すれば以下のとおりである。

【0054】図11は、本発明の実施の他の形態の直流安定化電源装置81の電気的構成を示すブロック図である。この直流安定化電源装置81の集積回路82は、前述の集積回路22、42に類似している。注目すべきは、この集積回路82では、前記過電流検出回路30とともに、該過電流検出回路30と同様に構成される過熱検出回路80と、それら2つの検出回路30、80からの出力を加算するAND回路88とが設けられている。過熱検出回路80は、前記図2において参照符 $\alpha 1$ から $\alpha 2$ で示すように、前記キャッチダイオードD1の順方向電圧が、温度が上昇すると低くなることを利用して、過熱検出を行うものである。

【0055】前記過熱検出回路80は、過熱検出コンパレータ84と、基準電圧源B4とを備えて構成されており、前記キャッチダイオードD1のカソード電位Vcは、前記過熱検出コンパレータ84の一方の入力に与えられており、この過熱検出コンパレータ84の他方の入力には、基準電圧源B4からの基準電圧Vref4が与えられている。過熱検出コンパレータ84は、前記電位Vcが前記基準電圧Vref4以上となると素子過熱状態であると判定してハイレベルを出力し、前記電位Vcが前記基準電圧Vref4未満では、ローレベルを出力している。

【0056】一方、制御回路83内には、前記AND回路88とともに、前記過熱検出コンパレータ84からの出力が与えられるフリップフロップ27aが設けられている。このフリップフロップ27aのリセット端子に

は、前記リセット端子P5からのリセット入力S7が与えられる。フリップフロップ27、27aの反転出力は、ともに前記AND回路88に与えられ、そのAND回路88の出力が前記反転出力S6として前記NAND回路28に与えられる。

【0057】したがって、過電流状態となるとフリップフロップ27はセットされ、前記パルス・バイ・パルス方式でリセットされる。これに対して、素子過熱状態となるとフリップフロップ27aがセットされ、前記ラッチ方式で、前記リセット入力S7を与えるか、または電

源を再投入することでリセットされる。

【0058】このようにして、前記スイッチング素子SWの過熱保護も行うことができる。

【0059】
【発明の効果】本発明に係る直流安定化電源装置は、以上のように、スイッチング素子およびコイルが出力ラインに直列に設けられ、前記スイッチング素子のON/OFFデューティ比を調整することによって所望出力電圧を得るようにしたスイッチング型レギュレータにおいて、スイッチング素子のOFF時における電流経路を形成するために不可欠な整流素子が、その通過電流が大きくなる程、順方向電圧が大きくなることを利用して、該順方向電圧から過電流を検出する。

【0060】それゆえ、過電流検出のための直列抵抗を出力ラインから削除することができ、一層高効率化を図ることができる。

【0061】また、本発明に係る直流安定化電源装置は、以上のように、過電流検出手段を、コンパレータと、負の温度特性を有する基準電圧源とを備えて構成し、整流素子が有する負の温度特性を相殺する。

【0062】それゆえ、周囲温度の影響を受けることなく、常に一定の過電流閾値で、正確に過電流検出を行うことができる。

【0063】さらにまた、本発明に係る直流安定化電源装置は、以上のように、過電流検出手段を、コンパレータと、基準電圧源と、前記基準電圧源を前記コンパレータの他方の入力に接続する第1の抵抗と、外部端子を介して前記コンパレータの他方の入力に接続する第2の抵抗とを備えて構成し、外付けの前記第2の抵抗の抵抗値や、その他方の端子の電位を变化することによって、過電流閾値を变化可能にする。

【0064】それゆえ、使用する整流素子の特性に応じた適切な過電流閾値を設定することができる。

【0065】また、本発明に係る直流安定化電源装置は、以上のように、前記過電流検出手段を、コンパレータと、基準電圧源と、前記基準電圧源を前記コンパレータの他方の入力に接続する第1の抵抗と、前記コンパレータの他方の入力に接続される第2の抵抗と、前記第2の抵抗に並列に介在されるコンデンサとをさらに備えて構成し、電源投入直後は該並列コンデンサの端子間電圧

によって過電流閾値を低くし、時間経過に伴う該並列コンデンサの端子間電圧の上昇に伴って前記過電流閾値を徐々に上昇させる。

【0066】それゆえ、前記電源投入時には、過電流検出によりパルス幅が制限されながら徐々にパルス幅が拡がり、出力電圧が立ち上がってゆくので、いわゆるソフトスタートを実現することができる。

【0067】さらにまた、本発明に係る直流安定化電源装置は、以上のように、前記整流素子の順方向電圧から素子過熱を検出する過熱検出手段をさらに備える。

【0068】それゆえ、過電流検出と同様に出力ラインに直列抵抗を介在することなく、素子過熱も検出することができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態のチョップパ型の直流安定化電源装置の電氣的構成を示すブロック図である。

【図2】図1で示す直流安定化電源装置に用いられるキャッチダイオードの通過電流値と順方向電圧との関係を示すグラフである。

【図3】図1で示す直流安定化電源装置の動作を説明するための波形図である。

【図4】本発明の実施の他の形態のチョップパ型の直流安定化電源装置の電氣的構成を示すブロック図である。

【図5】本発明の実施のさらに他の形態のチョップパ型の直流安定化電源装置の電氣的構成を示すブロック図である。

【図6】図5で示す直流安定化電源装置における周囲温度変化に対応した過電流判定のための基準値の变化を示すグラフである。

【図7】本発明の実施の他の形態のチョップパ型の直流安定化電源装置の電氣的構成を示すブロック図である。

【図8】本発明の実施のさらに他の形態のチョップパ型の直流安定化電源装置の電氣的構成を示すブロック図である。

【図9】図8で示す直流安定化電源装置の動作を説明するための波形図である。

【図10】図8で示す直流安定化電源装置と従来技術の直流安定化電源装置との入力電圧変化に対する出力電圧特性を示すグラフである。

【図11】本発明の実施の他の形態のチョップパ型の直流安定化電源装置の電氣的構成を示すブロック図である。

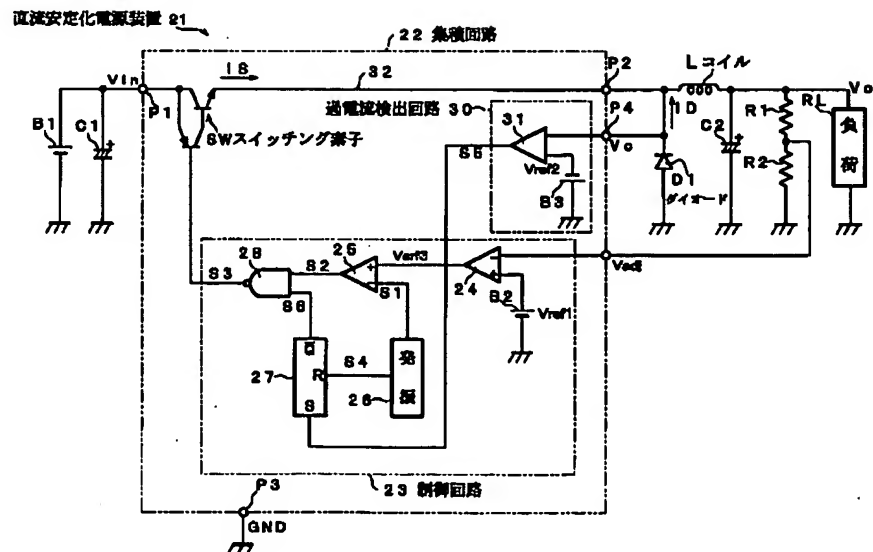
【図12】典型的な従来技術のチョップパ型の直流安定化電源装置の電氣的構成を示すブロック図である。

【符号の説明】

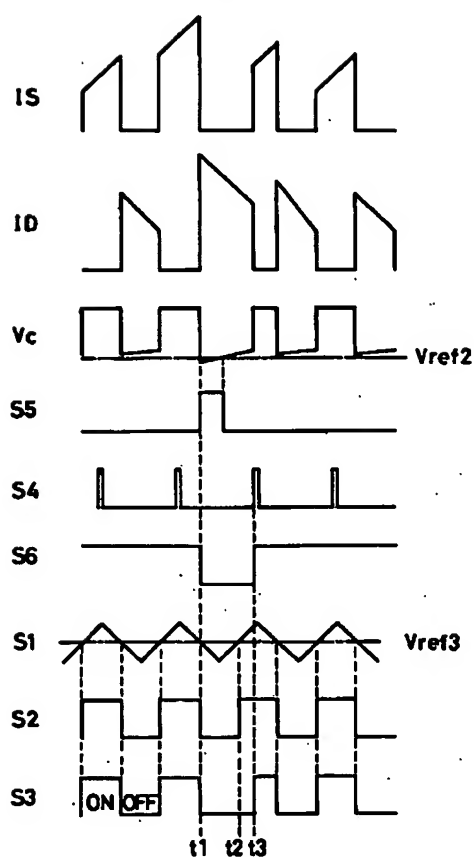
- | | |
|----|-----------|
| 21 | 直流安定化電源装置 |
| 22 | 集積回路 |
| 23 | 制御回路 |
| 24 | 誤差増幅器 |
| 25 | PWMコンパレータ |
| 26 | 発振器 |

27	フリップフロップ	84	過熱検出コンパレータ
27 a	フリップフロップ	88	AND回路
28	NAND回路	B1	電源
30	過電流検出回路	B2	基準電圧源
31	過電流検出コンパレータ	B3	基準電圧源
32	出力ライン	B4	基準電圧源
41	直流安定化電源装置	C1	平滑コンデンサ
42	集積回路	C2	平滑コンデンサ
43	制御回路	C3	コンデンサ
50	過電流検出回路	10 D1	キャッチダイオード (整流素子)
51	直流安定化電源装置	D2	ダイオード
52	集積回路	L	コイル
60	過電流検出回路	P1~P4	端子
61	直流安定化電源装置	P5	リセット端子
62	集積回路	P6	外部端子
70	過電流検出回路	SW	スイッチング素子
71	直流安定化電源装置	R1	分圧抵抗
72	集積回路	R2	分圧抵抗
80	過熱検出回路	R3	抵抗 (第1の抵抗)
81	直流安定化電源装置	20 R4	抵抗 (第2の抵抗)
82	集積回路	RL	負荷
83	制御回路		

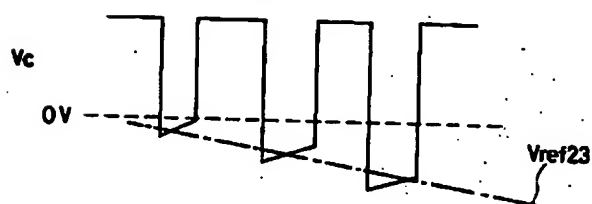
【図1】



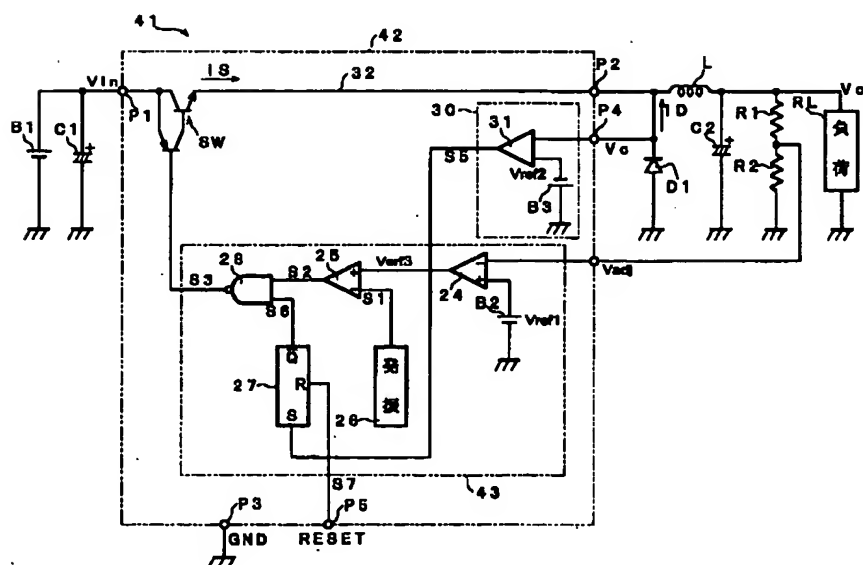
【図 3】



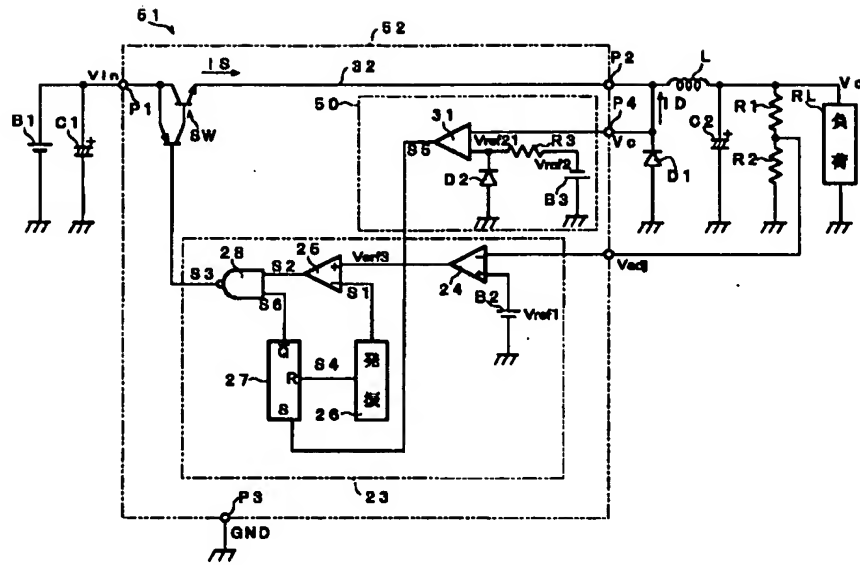
【图9】



【図4】



【図5】



【図6】

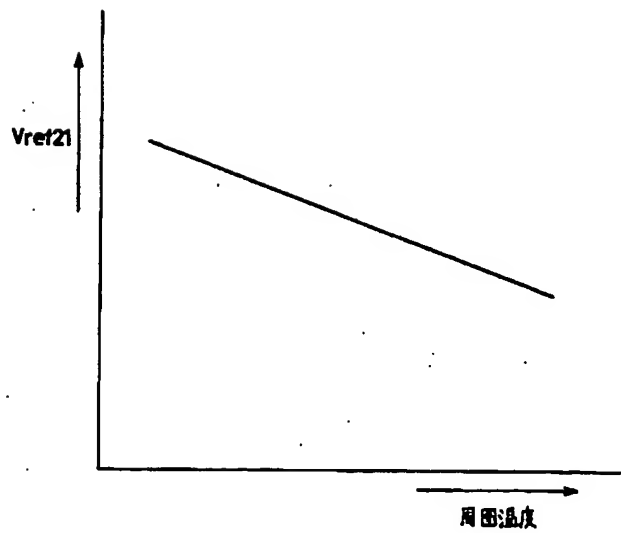
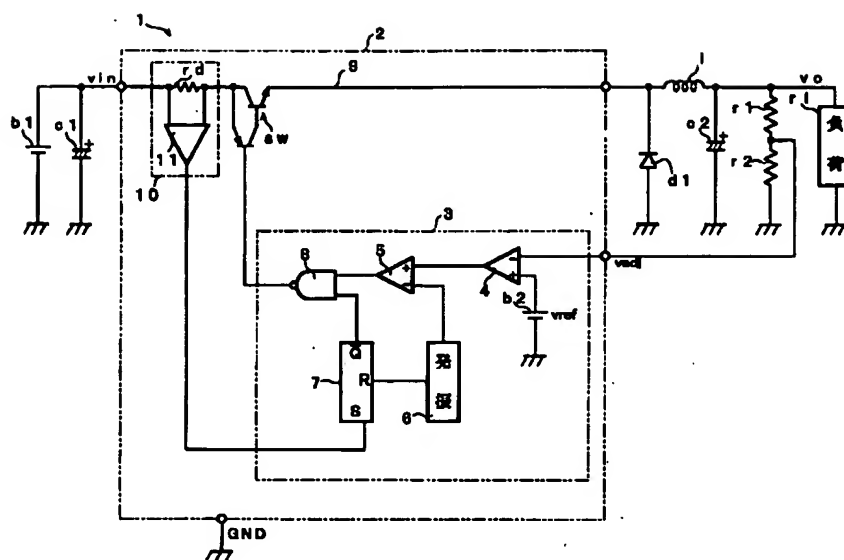


Figure 1 is a block diagram of a digital signal processing circuit. The circuit is divided into several functional blocks:

- Power Supply and Input Section:** Includes a battery $B1$, a capacitor $C1$, and a switch SW connected to an input V_{in} and a power supply $P1$. A current I_S is indicated flowing through the switch.
- Logic Block (B2):** Contains a flip-flop (28), a register (27), a counter (26), and a decoder (25). The flip-flop (28) has inputs 28 and 29 and output 27 . The register (27) has inputs 27 and 28 and output 26 . The counter (26) has inputs 26 and 27 and output 25 . The decoder (25) has inputs 25 and 26 and output 24 .
- Control Logic Block (B3):** Contains a comparator (31), a buffer (30), and a decoder (34). The comparator (31) has inputs 31 and 32 and output 30 . The buffer (30) has inputs 30 and 31 and output 32 . The decoder (34) has inputs 34 and 35 and output 36 .
- Output and Load Section:** Includes a diode $D1$, resistors $R1$ and $R2$, a load RL , and a voltage source V . The output V_o is connected to the load RL and the voltage source V . A current I_D is indicated flowing through the diode $D1$.
- Control Signals:** The circuit is controlled by a $RESET$ signal and a GND signal.

【図12】



フロントページの続き

(72)発明者 因幡 克己

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 久川 浩司

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 金森 淳

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 佐藤 努

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

Fターム(参考) 5H730 AA14 AA20 AS01 BB13 BB57

DD02 DD15 EE08 EE10 FD01

FD21 FF02 FG05 XC14 XX03

XX04 XX15 XX19 XX23 XX24

XX32 XX35 XX38 XX43

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.